

基于 ARM 和 FPGA 的超声相控阵检测成像系统接口设计

徐 忠¹, 王海涛², 郑 凯¹, 宫 政², 王 晋¹, 郑杨艳¹, 俞燕萍¹, 任 蓝¹

(1.江苏省特种设备安全监督检验研究院,南京 210036;2.南京航空航天大学 自动化学院,南京 211100)

摘要: 基于 ARM(先进精简指令集处理机)与 FPGA(现场可编程门阵列)搭建了超声相控阵检测成像系统,设计了二者的通信接口以及 FPGA 与 ARM 的逻辑连接方式,配置了 FPGA 中 M9K 的工作模式,通过双端口实现了系统配置与回波数据的中转与传输。编写了 Linux 操作系统下的设备驱动程序,实现了 ARM 对于 FPGA 的操作与控制,完成了软硬件之间的交互。通过试验对系统进行了测试,结果显示系统运行正常,符合设计要求。

关键词: 超声相控阵; FPGA; ARM

中图分类号: TG115.28

文献标志码: A

文章编号: 1000-6656(2018)11-0010-04

The Interface Design of Ultrasonic Phased Array Detection and Imaging System Based on ARM+FPGA

XU Zhong¹, WANG Haitao², ZHENG Kai¹, GONG Zheng², WANG Jin¹, ZHENG Yangyan¹, YU Yanping¹, REN Yi¹

(1. Special Equipment Safety Supervision Inspection Institute of Jiangsu Province, Nanjing 210036, China;

2. School of Automation Engineering, Nanjing University of Aeronautics and Astronautics, Nanjing 211100, China)

Abstract: The ultrasonic phased array detection and imaging system is built, and the two communication interfaces are designed based on ARM (Advanced RISC Machine) and FPGA (Field-Programmable Gate Array). The logical connection mode of FPGA and ARM is designed, the working mode of M9K in FPGA is configured, and the transfer and transmission of the system configuration and the echo data are realized through the dual port system. The device driver is written under the Linux operating system, the operation and control of the ARM to the FPGA are realized, and the interaction between the hardware and the software is completed. The system is tested through the experiment. It runs normally and the results are correct which meets the design requirements.

Key words: ultrasonic phased array; FPGA; ARM

因超声相控阵检测技术阵列式探头的扫查方式独特,所以其具有诸多常规超声检测所不具备的优点。阵列换能器一般由多个互相独立且线性排列或矩阵式排布的压电晶片组合而成,一个晶片即为一个阵元。所有阵元都可在电子控制的延时激励规则下,独立进行超声波束的发射与接收,以此来实现多

通道的灵活配置,形成预期的声束效果。超声相控阵换能器能够模拟多种探头的工作,检测速度快,适用于不规则形状物体的检测,弥补了许多常规超声检测的不足。

在一套完整的超声相控阵检测成像系统中,为了配合探头的工作,还需要发射/接收前端、数据采集、数据处理、人机交互等模块的相互协同。笔者重点研究了便携式超声相控阵检测成像系统,采用 FPGA(现场可编程门阵列)和 ARM(先进 RISC 处理机)对系统所需的通信接口进行设计。其中,ARM 处理器在控制方面发挥了高功效、低功耗的独特优势;而 FPGA 器件则在高速数据的采集与处理方面,发挥了强大的作用^[1]。

收稿日期: 2018-07-05

基金项目: 质检公益性行业科研专项资助项目(201410028, 201510068); 江苏省社会发展资助项目(BE2015725)

作者简介: 徐 忠(1966—), 男, 本科, 高级工程师, 主要从事锅炉制造、安装的监督检验和在用定期检验工作

通信作者: 郑 凯(1967—), 男, 博士, 研究员级高级工程师, 主要从事无损检测新技术应用方面的工作, kai.zheng@163.com

1 系统硬件组成

超声相控阵检测成像系统的总体结构框图如图 1 所示。一次完整的检测包括以下流程: 主控模块接收人工设置的检测参数, 并根据偏转聚焦法则计算发射时延, 计算结果向发射控制电路传递, 进而控制超声阵列探头激发相应声束到被检对象; 超声波束遇到对象内部缺陷被反射, 经由接收电路采集后, 进入信号处理模块进行进一步的处理, 最后传输至主控模块进行分配存储、显示成像等。

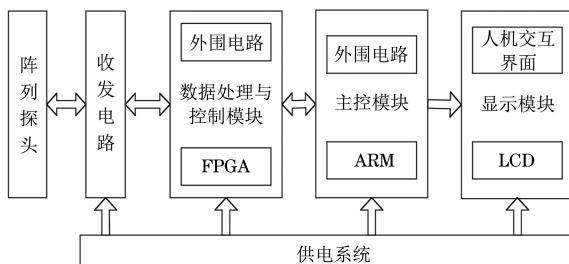


图 1 超声相控阵检测成像系统总体结构框图

其中, FPGA 选用 Altera 公司的 Cyclone IV 系列 EP4CE15F17C8N, 加以外围电路构成数据处理模块, 完成发射前端脉冲延时激励、采集信号串并转换、接收声束延时补偿等工作。主控模块硬件平台选用三星公司的“蜂鸟”处理器 S5PV210。该处理器集成了 ARM Cortex-A8 核心, 采用 64 位内部总线结构, 实现了 ARM 架构 V7, 内部集成了许多外设。与同类芯片相比, S5PV210 功耗低且性能较高, 适合应用于医疗设备、通信设备或手持电子设备等领域。

2 通信接口设计

FPGA 与 ARM 通信, 主要用于用户检测参数的配置下发, 以及检测波束的数据回传。FPGA 与 ARM 存在多种接口方式, 如 SPI、IIC 等串行接口。但串行接口自身的局限性限制了其在实时、大量数据传输中的应用^[2]。相比之下, 并行接口的总线连接更加稳定与合理, 且在所使用的开发板中, CPU 与各部分间的通信, 由多层次 AHB/AXI 总线负责, 以保证高速数据的交互。因此, 采用存储总线的方式, 把 FPGA 芯片 EP4CE15F17C8N 挂接在 S5PV210 的总线上, ARM 处理器通过存储器指令访问 FPGA。

采用 FPGA 器件内提供的 M9K 存储器, 进行处理后的检测回波数据的中转与传输。系统需要由 ARM 处理器向 FPGA 传送配置数据, 也需要从 FPGA 中读取经过其处理的检测回波数据, 这不仅是一个方向的数据流通, 还需要两个端口才能完成各自数据的交互工作。为了方便两次数据交互使用同一套硬件连接, 而无需再开辟新的通路, 采用 M9K 的真双端口模式。

配置 M9K 为双端口 RAM, A 口作为 FPGA 连接的主体, 其输出端 $q_a[]$ 与数据端 $data_a[]$ 均需要与 FPGA 的数据端相连; B 口作为 ARM 处理器连接的主体, 其输出端 $q_b[]$ 与数据端 $data_b[]$ 均需要与 ARM 数据端相连。真双端口模式下, 端口 A 上的写操作与端口 B 上的读操作时序波形如图 2 所示, 寄存 RAM 的输出端会将 q 输出延长一个时钟周期。

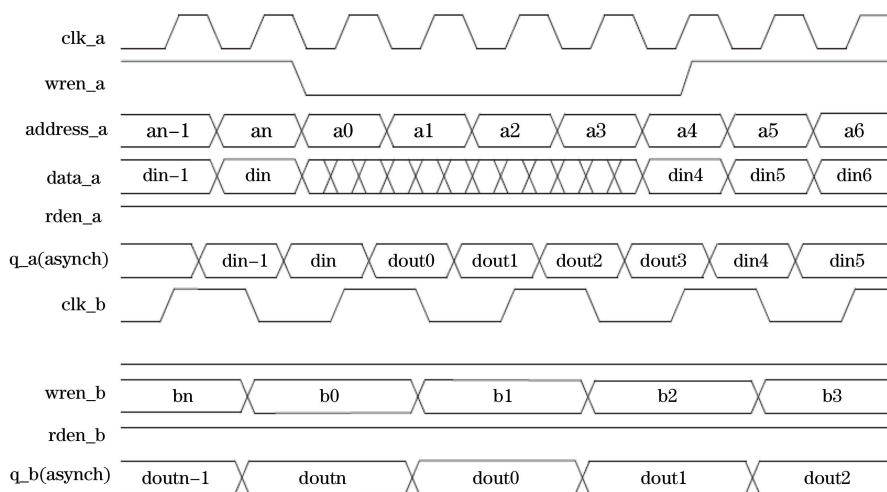


图 2 M9K 真双端口模式时序

S5PV210 的外接总线型设备寻址区有 6 个 Bank, 每个大小为 128 MB, $Xm0CSn0 \sim Xm0CSn5$

分别为其相应的片选信号。外接的总线型设备通过此信号的引出脚, 挂接于总线之上, 并寻址相应的内

存空间。系统选用 BANK5。

若地址总线上发送的地址在 S5PV210 BANK5 的寻址范围之内,则表示此次访问 BANK5,相应片选信号 Xm0CSn5 被拉低,选中该 BANK 所接的 FPGA。S5PV210 处理器中的 SROM BANK 对一个地址读操作,则相应读信号 Xm0OEn 被自动拉低,该信号与 FPGA 的读使能信号相连,即可读取 FPGA 中的数据;对一个地址写操作,则相应写信号 Xm0WEn 被自动拉低,该信号与 FPGA 的写使能信号相连,即可向 FPGA 中写入数据。

设计 16 位宽数据线,12 位宽地址线,并将 ARM 的数据、地址线连接至 FPGA。除上述总线、时钟与片选信号连接之外,加上读写控制信号以及中断信号,则能够使 FPGA 向 ARM 发起中断申请并进行数据交互。FPGA 与 ARM 硬件连接原理示意如图 3 所示。

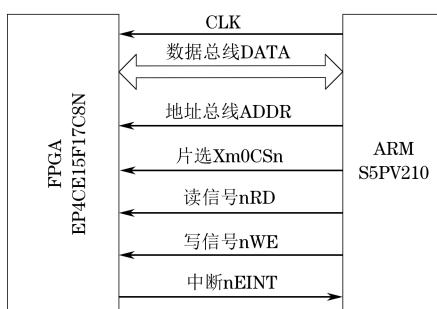


图 3 FPGA 与 ARM 硬件连接原理示意

在检测开始之前,人工设置一系列检测参数,由 ARM 处理器根据相应的聚焦法则来计算发射电路激励每一个探头阵元所需要的延迟时间,并通过通信总线传输给 FPGA,再由 FPGA 负责后续的脉冲激励等工作;在一轮检测之后,反射回多路超声波束,由前端电路对其进行采集接收,并交由 FPGA 完成一系列数据处理,得到各路检测回波信号,通过通信总线将其传输至 ARM 处理器,进而完成更进一步的处理或成像。

3 驱动程序设计

系统中的软硬件之间,需要一个连接两者的桥梁,将硬件功能转换为软件设计人员能够直接使用的接口函数。操作系统在嵌入式系统中,处于设备硬件与应用程序之间,能够提供统一编程接口给操作的用户^[3]。但对于操作系统来说,硬件设备各不相同,操作系统不可能针对每一个特定参数的设备提供相应的支持。不过相似地,其可以根据某一类设备的共同点,提供该类设备的控制代码,从而不用去考虑不同

设备之间的细节与区别,此代码即为驱动程序。

驱动程序将硬件设备的具体结构进行屏蔽,对其进行了一种抽象,使设备在系统中以文件的形式存在。虚拟文件系统(VFS)中,淡化了设备与文件的区别,将所有的硬件操作看成是对普通文件的操作。用户在应用程序的角度看硬件设备,就如同一个普通文件,通过系统调用即可操作设备。

Linux 系统中,设备驱动按层次能够分为 3 个方面:与系统引导的接口、与内核的接口和与设备之间的接口。与系统引导的接口主要针对设备,实现一些必要的初始化;与内核的接口主要是 file_operations 结构的完善;与设备的接口则通常以 ioctl() 函数完成驱动与设备之间的互动。

3.1 与系统引导接口

内核中由 module_init() 和 module_exit() 两者进行注册与卸载设备驱动程序,这些参数则指定了相应初始化与退出函数的地址,设置为 FPGA_init 以及 FPGA_exit。在初始化函数中,通过 register_chrdev() 函数对字符设备驱动进行注册;在退出函数时,通过 unregister_chrdev() 函数对字符设备驱动进行卸载。

初始化函数 FPGA_init 主要对设备进行初始化以及注册,使用函数 register_chrdev(MAJOR, DEV-ICE_NAME, &fpga_fops)。其中,字符设备注册函数 register_chrdev 的 MAJOR 参数代表主设备号,DEVICE_NAME 代表设备驱动名,而 &fpga_fops 代表驱动的 file_operations。创建 FPGA 的设备入口点于设备目录/dev/fpga 下,名为 fpga。

3.2 与内核接口

file_operations 结构体中驱动程序 cdev_init 设计的主要任务是 file_operations 结构体的实现,该结构体中的每个成员都与系统调用一一对应,由此实现 FPGA 和 ARM 之间的通信。

驱动程序的具体内容根据不同的设备及需求而有所区别,但整体来说,均要实现初始化、打开、写入、读取、关闭等几个基本操作。打开和关闭是一对互相相反的操作,一个将设备打开并添加设备计数,另一个释放设备并减少设备计数。写入与读取也彼此相对,但二者都是在内核及用户空间中传递数据,只是传输的方向相反。

file_operations 中包含诸多操作函数,但对于具体的应用,上述几个函数即可实现所需要的驱动与

内核之间的交互。

`fpga_open()`负责初始化 FPGA, 并对其进行设备有无错误的相关检测, 将其设备使用计数加 1, 并分辨次设备号。`fpga_release()`负责释放设备打开时用到的系统资源, 并将 FPGA 设备的使用计数减 1。

`fpga_read()`负责读取 FPGA 中的数据, 该函数有返回值, 读取操作的成功与否表现在函数返回值为读取字节数还是负值。`fpga_write()`负责向 FPGA 中写入数据, 该函数同样有返回值, 根据返回值为写入字节数还是 `EINVAL` 返回值来判断写入操作的成功与否。

`fpga_mmap()`负责地址映射, 因为用户空间无法直接访问设备, 该函数为二者提供了一条相互联系的途径, 将 FPGA 内存线性映射至用户进程中的地址空间, 最终的物理地址映射由 `remap_page_range()`函数的调用实现。`fpga_ioctl()`负责读写命令之外的设备操作, 返回非负值时说明执行成功。

3.3 与设备接口

`ioctl()`函数是驱动与设备接口实现的一个方式, 主要对设备 I/O 进行管理并设置相应的中断。事实上, 内核及用户空间也无法直接联系, 需要通过 `copy_from_user()` 和 `copy_to_user()` 函数来完成。但这种方式效率不高, 不如直接映射快, 即内核可访问物理地址到用户空间的映射。

设备驱动中, 该方式相比标准 I/O, 对于大文件的处理速度更快, 读写操作均不用再经过内核到用户空间的中间复制过程。根据 Linux 虚拟内存管理, 将物理地址映射至虚拟空间, 可对该段地址执行读写操作。通过内存映射, 实现用户空间对设备 FPGA 的访问^[4]。

使用函数 `request_mem_region()`, 在访问之前检验内存资源申请的情况, 若成功, 则该资源被标记并无法再被其他驱动申请。在驱动程序初始化阶段, 由函数 `ioremap()` 负责映射 FPGA 物理地址到内核中的虚拟空间, 而后在驱动程序调用时, 函数 `remap_page_range()` 真正将映射执行至用户虚拟空间。操作完成后, 通过函数 `iounmap()` 及 `release_mem_region()` 来实现与前述过程相对的操作, 释放申请的虚拟地址并归还内存资源。图 4 为内存映射流程。

4 检测结果

将探头放置于试块表面, 令系统工作并接收回

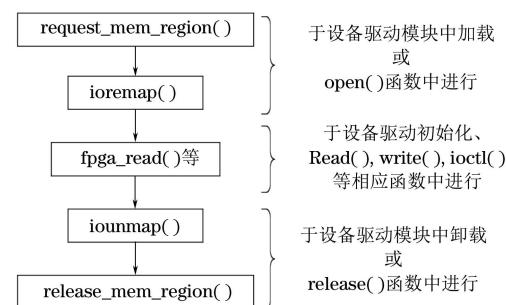


图 4 内存映射流程

传的 16 路超声数据(见图 5)。该 16 路信号经过系统前端的处理, 已进行过延时补偿, 可以看出信号在幅值波动处对齐。由图 5 可知, 单一通道回波信号的幅值较小, 不易观察, 这也是相控阵超声检测需要进行波束合成的原因之一。多路信号延时叠加后, 同相增强, 反相相消。

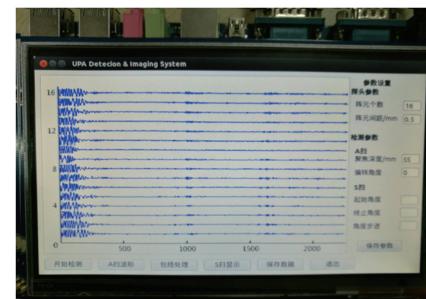


图 5 16 路回波数据波形

5 结论

采用基于 FPGA + ARM 的形式, 结合二者优势, 搭建了超声相控阵检测成像系统, 设计了 FPGA 与 ARM 之间的通信接口。在 FPGA 中配置双口 RAM 进行数据的中转与传输, 在 Linux 操作系统下编写驱动程序, 以完成软硬件之间的交互。经测试, 系统运行与接口工作正常, 检测结果能够有效显示。

参考文献:

- [1] 张淑梅. 基于 ARM+FPGA 的高精度数据采集系统设计[J]. 国外电子测量技术, 2014(11):62-65.
- [2] 王小平, 吴伟. 基于 ARM 和 FPGA 的红外系统数据交换驱动设计[J]. 电视技术, 2014, 38(11):61-66.
- [3] 王梦, 葛斌, 朱政康, 等. 基于嵌入式的多路肌电信号采集系统的设计[J]. 生物医学工程研究, 2017, 36(1):38-42.
- [4] 李宇成, 黄堂猛. 基于 S5PV210 的 1080P 网络摄像头设计[J]. 计算机工程与设计, 2014, 35(11):3813-3819.